

**Family list**

2 family member for: **JP7318902**

Derived from 1 application

**1 SEMICONDUCTOR DEVICE FOR DISPLAY**

**Inventor:** NAKAYAMA YOSHIKO; MAEKAWA  
TOSHIICHI

**Applicant:** SONY CORP

**EC:**

**IPC:** G02F1/1345; G02F1/133; G02F1/136 (+1

**Publication info:** JP3240837B2 B2 - 2001-12-25

JP7318902 A - 1995-12-08

Data supplied from the esp@cenet database - Worldwide

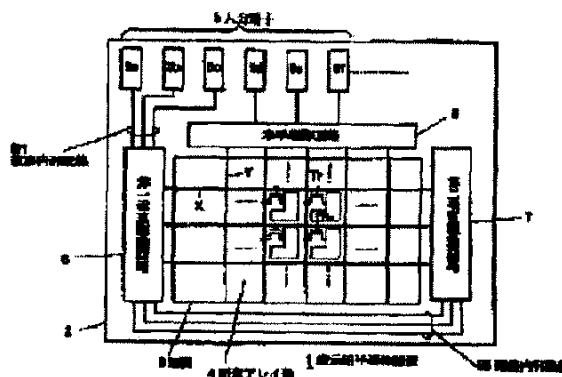
## SEMICONDUCTOR DEVICE FOR DISPLAY

**Patent number:** JP7318902  
**Publication date:** 1995-12-08  
**Inventor:** NAKAYAMA YOSHIKO; MAEKAWA TOSHIICHI  
**Applicant:** SONY CORP  
**Classification:**  
**- International:** G02F1/1345; G02F1/133; G02F1/136; G02F1/1368;  
 G09G3/20; G09G3/36; G02F1/13; G09G3/20;  
 G09G3/36; (IPC1-7): G02F1/133; G02F1/1345;  
 G02F1/136; G09G3/20; G09G3/36  
**- european:**  
**Application number:** JP19940135184 19940524  
**Priority number(s):** JP19940135184 19940524

Report a data error here

### Abstract of JP7318902

**PURPOSE:** To reduce the number of input terminals of a semiconductor device for display incorporated with a pair of vertical drive circuits. **CONSTITUTION:** The semiconductor device 1 for display is provided with a pixel array part 4 constituting a screen 3, a peripheral circuit part driving the part 4 and plural input terminals 5 supplying a signal to the peripheral circuit part. The pixel array part 4 is provided with pixels in matrix. The peripheral circuit part is provided with a vertical drive means selectively successively driving respective rows of the pixels according to the supplied signal and a horizontal drive means write-driving the selected pixel in column sequence. The vertical drive means is constituted of a pair of vertical drive circuits 6, 7 arranged on both sides of the screen 3, and selectively drives respective rows of the pixels from both sides simultaneously. Plural input terminals 5 contain common input terminals 5a, 5b, 5c commonly allocated to both vertical drive circuits 6, 7. Internal wiring 9R, 9S for connecting the common input terminals 5a, 5b, 5c to respective vertical drive circuits 6, 7 are provided.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-318902

(43) 公開日 平成7年(1995)12月8日

(51) Int. Cl. <sup>6</sup>	識別記号	F I
G02F 1/133	550	
1/1345		
1/136	500	
G09G 3/20	Z 9378-5G	
3/36		

審査請求 未請求 請求項の数 5 F D (全7頁)

(21) 出願番号	特願平6-135184
(22) 出願日	平成6年(1994)5月24日

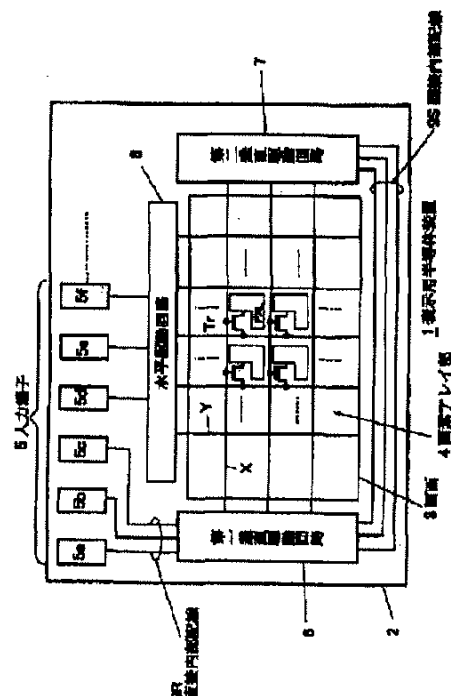
(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(72) 発明者	中山 佳子 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(72) 発明者	前川 敏一 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
(74) 代理人	弁理士 鈴木 晴敏

(54) 【発明の名称】 表示用半導体装置

(57) 【要約】

【目的】 一対の垂直駆動回路を組み込んだ表示用半導体装置の入力端子数を低減化する。

【構成】 表示用半導体装置1は画面3を構成する画素アレイ部4と、これを駆動する周辺回路部と、これに外部から信号を供給する複数の入力端子5とを備えている。画素アレイ部4は行列配置した画素を有する。周辺回路部は供給された信号に応じて順次画素の各行を選択駆動する垂直駆動手段と、選択された画素を列順次で書き込み駆動する水平駆動手段とを有する。垂直駆動手段は画面3の両側に配置された一対の垂直駆動回路6、7からなり、画素の各行を両側から同時に選択駆動する。複数の入力端子5は両方の垂直駆動回路6、7に対して共通に割り当てられる共用入力端子5a、5b、5cを含んでいる。共用入力端子5a、5b、5cを各垂直駆動回路6、7に接続する内部配線9R、9Sが設けられている。



## 【特許請求の範囲】

【請求項1】 画面を構成する画素アレイ部と、該画素アレイ部を駆動する周辺回路部と、該周辺回路部に外部から信号を供給する複数の入力端子とを備えており、該画素アレイ部は行列配置した画素を有し、該周辺回路部は供給された信号に応じて順次画素の各行を選択駆動する垂直駆動手段と、選択された画素を列順次で書き込み駆動する水平駆動手段とを有している表示用半導体装置であって、前記垂直駆動手段は画面の両側に配置された一対の垂直駆動回路からなり画素の各行を両側から同時に選択駆動するとともに、前記複数の入力端子は両方の垂直駆動回路に対して共通に割り当てられる共用入力端子を含んでおり、該共用入力端子を各垂直駆動回路に接続する内部配線を設けた事の特徴とする表示用半導体装置。

【請求項2】 前記内部配線は、該共用入力端子を一方の垂直駆動回路に直接接続する直接内部配線と、該一方の垂直駆動回路を介して他方の垂直駆動回路に間接接続する間接内部配線とを有する事の特徴とする請求項1記載の表示用半導体装置。

【請求項3】 前記内部配線は、該共用入力端子を両方の垂直駆動回路に分岐接続する分岐内部配線を有する事の特徴とする請求項1記載の表示用半導体装置。

【請求項4】 前記内部配線は、該分岐内部配線と別に両方の垂直駆動回路を相互に補助接続する補助内部配線を有する事の特徴とする請求項3記載の表示用半導体装置。

【請求項5】 駆動基板と対向基板と両者の間に保持された液晶とを備えたパネル構造を有し、該駆動基板には画面を構成する画素アレイ部と、該画素アレイ部を駆動する周辺回路部と、該周辺回路部に外部から信号を供給する複数の入力端子とが形成されている液晶表示装置であって、該画素アレイ部は行列配置した画素を有し、該周辺回路部は供給された信号に応じて順次画素の各行を選択駆動する垂直駆動手段と選択された画素を列順次で書き込み駆動する水平駆動手段とを有しており、前記垂直駆動手段は画面の両側に配置された一対の垂直駆動回路からなり画素の各行を両側から同時に選択駆動するとともに、前記複数の入力端子は両方の垂直駆動回路に対して共通に割り当てられる共用入力端子を含んでおり、該共用入力端子を各垂直駆動回路に接続する内部配線を設けた事の特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はアクティブマトリクス型液晶表示装置の駆動基板等に用いられる表示用半導体装置に関する。より詳しくは、表示用半導体装置に設けら

れた外部信号の入力端子構造に関する。

## 【0002】

【従来の技術】 図5を参照して従来の表示用半導体装置の構成を簡潔に説明する。図示する様に、表示用半導体装置は行状のゲートラインXと、列状の信号ラインYと、両者の各交差部に配された行列状の画素アレイとを備えている。個々の画素は、例えば微細な画素電極PXとこれを駆動する薄膜トランジスタTrとからなる。単一の垂直駆動回路101が各ゲートラインXの一端側に接続し、一水平期間毎にゲートパルス $V_{g1}$ ,  $V_{g2}$ ,  $V_{g3}$ , ...をゲートラインXに順次印加して画素の各行を選択駆動する。この垂直駆動回路101は外部入力されるクロック信号VCK, VCKXに同期して垂直スタート信号VSTを順次転送する事により上述したゲートパルスを出力する。なお、VCKとVCKXは互いに反対極性のクロック信号である。一方、各信号ラインYの端部には水平スイッチHSWを介してビデオライン102が接続されており、外部から入力される映像信号VSI Gの供給を受ける。水平スイッチHSWは水平走査回路103により開閉制御され、各信号ラインYを順次走査して選択された1行分の画素に列順次で映像信号VSI Gを書き込む。この水平走査回路103は所定のクロック信号HCK, HCKXに同期して水平スタート信号HSTを順次転送する事により、水平スイッチHSWを開閉制御するサンプリングパルスを出力する。水平走査回路103と水平スイッチHSWにより水平駆動回路が構成される。

## 【0003】

【発明が解決しようとする課題】 図6は、図5に示した従来の表示用半導体装置の動作タイミングチャートである。図示する様に、水平スタート信号HSTは一水平期間毎に水平走査回路103に入力され、1行分の画素に対する映像信号の書き込みを開始する。一方垂直駆動回路101は垂直スタート信号VSTを順次転送する事により、一水平期間毎にゲートパルスを出力する。ゲートパルスは基本的に矩形の波形を有するが、実際にはゲートラインXに抵抗成分rが含まれる為波形になまりが生じる。このなまりは垂直駆動回路101の入力側から離れるに従って顕著になる。図6のタイミングチャートでは、垂直駆動回路101側に近い初段列、中間の中段列、他端側の最終段列で各々観測されるゲートパルスを表わしている。初段列では各ゲートパルス $V_{g1}$ ,  $V_{g2}$ ,  $V_{g3}$ , ...は略矩形形状を保っており、互いに時間的に分離されている。しかしながら、中段列ではゲートラインXに含まれる抵抗成分の為ゲートパルスの波形がなまる様になる。特に、最終段列は抵抗成分rが直列的に加わる為最悪条件となり、波形なまりが顕著で先発ゲートパルス $V_{g1}$ と後発ゲートパルス $V_{g2}$ がオーバーラップしてしまう。同様に、 $V_{g2}$ と $V_{g3}$ もオーバーラップしてしまう。この様な状態では表示された画像

にシェーディングが発生したり、画素の行間で映像信号の混合が生じ、画質を著しく損なうという課題がある。

【0004】特に図5に示した水平走査回路103として双方向型を採用した場合、信号混合が顕著になる。双方向型では、ゲートラインXの一端側から他端側に向う順方向（図では右方向）又は他端側から一端側に向う逆方向（図では左方向）に沿って各信号ラインYを順次走査し、画像の左右反転表示を可能にしている。この左右反転機能は、例えばアクティブマトリクス型液晶表示装置をプロジェクタのライトバルブに応用した場合必要になる。前述した様に、最終段列は抵抗成分rが直列的に加わる為最悪条件となり、波形なまりが顕著で先発ゲートパルスと後発ゲートパルスがオーバーラップしてしまう。この様な状態では画素行に対する逆方向点順次走査を行なった場合問題が生じる。図6のタイミングチャートに示す様に、例えば先発のゲートパルスV<sub>n</sub>が完全に立ち下がらない時点で、次発のゲートパルスV<sub>n+1</sub>が立ち上がり始めている。この時、水平スタート信号HSTが入力されN+1行目の画素に対して映像信号の書き込みが開始する。しかしながら、HSTが入力された時点で、先発のゲートパルスV<sub>n</sub>が未だ立ち下がっていないので、第N行の画素に対しても映像信号が書き込まれてしまう。これにより、N行目の画素に対してN+1行目に割り当てられた別の映像信号を書き込む事になり、信号混入が生じる。

【0005】図7は上述した映像信号の混入を模式的に表わしたものである。前述した様に、順方向走査の場合にはゲートパルスのなまりがない状態で水平スタート信号HSTが入力される為、映像信号混合の惧れはない。しかしながら、逆方向走査の場合にはゲートパルスが顕著になまる最終段列側から書き込みが開始する為、水平スタート信号HSTの入力時点と、前行のゲートパルスの立ち下がり時点でオーバーラップが生じてしまう。これにより前行画素に当該行に割り当てられた映像信号を書き込んでしまい、図示する様に画面の右端側で映像信号の混合により画像の乱れが生じる。

【0006】この様にゲートパルスのなまりを防ぐ為には、垂直駆動回路をゲートラインの両側に各々設ける構造も考えられており、図8にその例を示す。この表示用半導体装置は画面201を構成する画素アレイ部と、これを駆動する周辺回路部と、これに外部から信号を供給する複数の入力端子202とを備えている。画素アレイ部は行列配置した画素を有する。周辺回路部は供給された信号に応じて順次画素の各行を選択駆動する垂直駆動手段と、選択された画素を列順次で書き込み駆動する水平駆動手段とを有している。垂直駆動手段は画面201の両側に配置された一対の垂直駆動回路203、204からなり、画素の各行を両側から同時に選択駆動する。一方、水平駆動手段は単一の水平駆動回路205からなる。

【0007】上述した表示用半導体装置では、一対の垂直駆動回路203、204の各々に対して、独立的に入力端子が設けられていた。図8の例では、一方の垂直駆動回路203に対して入力端子a、b、cが設けられ、垂直スタート信号や垂直クロック信号を入力していた。他方の垂直駆動回路204に対しては別に入力端子d、e、fが設けられ、同様に垂直スタート信号や垂直クロック信号を入力していた。

【0008】しかしながら、上述した構成では垂直駆動回路を2個設ける事によりシェーディングや映像信号の混合を防止可能になった反面、単一の垂直駆動回路を有する構成に比べ入力端子数が増加する為他の欠点が生じる様になった。第一に、表示用半導体装置を構成する基板に対して入力端子の占める面積が増大した為、静電気ダメージをより多く受ける様になった。第二に、入力端子数の増加に伴ないこれに応じて検査工程数が増え製造プロセス上不利になる。第三に、入力端子と駆動回路部とを結線する内部配線が多くなり、組み立て実装工程で不良が起りやすくなる。

【0009】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は入力端子数の増加を伴う事なく一対の垂直駆動回路を表示用半導体装置に集積形成可能とする事を目的とする。かかる目的を達成する為以下の手段を講じた。即ち、本発明にかかる表示用半導体装置は基本的な構成として、画面を構成する画素アレイ部と、該画素アレイ部を駆動する周辺回路部と、該周辺回路部に外部から信号を供給する複数の入力端子とを備えている。該画素アレイ部は行列配置した画素を有する。該周辺回路部は供給された信号に応じて順次画素の各行を選択駆動する垂直駆動手段と、選択された画素を列順次で書き込み駆動する水平駆動手段とを有する。前記垂直駆動手段は画面の両側に配置された一対の垂直駆動回路からなり、画素の各行を両側から同時に選択駆動する。本発明の特徴事項として、前記複数の入力端子は両方の垂直駆動回路に対して共通に割り当てられる共用入力端子を含んでいる。さらに、該共用入力端子を各垂直駆動回路に接続する内部配線を設けている。かかる構成を有する表示用半導体装置は、例えばアクティブマトリクス型液晶表示装置の駆動基板として用いられる。

【0010】具体化された発明では、前記内部配線が該共用入力端子を一方の垂直駆動回路に直接接続する直接内部配線と、該一方の垂直駆動回路を介して他方の垂直駆動回路に間接接続する間接内部配線とから構成されている。他の具体例では、前記内部配線は該共用入力端子を両方の垂直駆動回路に分岐接続する分岐内部配線を有している。さらに、該分岐内部配線とは別に両方の垂直駆動回路を相互に補助接続する補助内部配線を有している。

【0011】

【作用】本発明では画面の両側に一對の垂直駆動回路を配置し、画素の各行を両側から同時に選択駆動している。これにより、単一の垂直駆動回路で画面の片側から駆動する方式に比べ画像のシェーディングや映像信号の混入が抑制でき、画質が大幅に改善できる。又、両方の垂直駆動回路に対して共通に割り当てられる共用入力端子を設けるとともに、該共用入力端子を各垂直駆動回路に接続する内部配線を設けている。これにより、互いに独立の入力端子を別々に設けた従来例に比較し、入力端子数の削減が可能となり製造プロセスや品質及び信頼性の面で有利となる。この場合、内部配線の低抵抗化が重要であり、両方の垂直駆動回路に対して同一タイミングでスタート信号やクロック信号を供給できる様にしている。これにより、両方の垂直駆動回路が互いに同期して動作可能になりタイミング的に整合した各画素行の選択駆動を行なえる。特に、垂直駆動回路は水平駆動回路に比べ周波数の低いクロック信号を用いている為、内部配線の引き回しによる信号遅延等の問題は生じない。

#### 【0012】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる表示用半導体装置の第一実施例を示す模式的な平面図である。図示する様に、表示用半導体装置1は石英又はガラス等の絶縁基板2を用いて構成されており、画面3に含まれる画素アレイ部4と、これを駆動する周辺回路部と、これに外部から信号を供給する複数の入力端子5とが集積形成されている。

【0013】画素アレイ部4は行列配置した画素を有している。個々の画素は画素電極PXLとスイッチング用の薄膜トランジスタTrとからなる。又、行状に配列したゲートラインXと列状に配列した信号ラインYとを備えている。各薄膜トランジスタTrのゲート電極は対応するゲートラインXに接続され、ソース電極は対応する信号ラインYに接続され、ドレイン電極は対応する画素電極PXLに接続されている。

【0014】周辺回路部は入力端子5から供給された信号に応じて順次画素の各行を選択駆動する垂直駆動手段と、選択された画素を列順次で書き込み駆動する水平駆動手段とを有している。本発明では、前記垂直駆動手段は画面3の左右両側に配置された一對の垂直駆動回路6、7からなり、画素の各行を両側から同時に選択駆動する。具体的には、第一垂直駆動回路6がゲートラインXの左端側に接続される一方、第二垂直駆動回路7がゲートラインXの右端側に接続されている。両垂直駆動回路6、7は互いに同一タイミングでゲートパルスを順次出力し、薄膜トランジスタTrを行毎に開閉して上述した画素の選択駆動を行なう。各ゲートラインXの両側から同時にゲートパルスを入力する為、従来問題となっていた波形なまりによるオーバーラッピングが抑制される。一方、前記水平駆動手段は単一の水平駆動回路8か

ら構成されており、信号ラインYの一端に接続されている。水平駆動回路8は入力端子5を介して外部から供給された映像信号を各信号ラインYにサンプリング分配し、選択された画素を列順次で書き込み駆動する。

【0015】本発明の特徴事項として、前記複数の入力端子5は両方の垂直駆動回路6、7に対して共通に割り当てられる共用入力端子5a、5b、5cを含んでいる。これらの共用入力端子5a、5b、5cは垂直駆動回路6、7に対して垂直スタート信号や互いに反対極性の垂直クロック信号を供給する。この他図示しないが、垂直駆動回路に電源電圧等を供給する為の共用入力端子も設けられている。この他、水平駆動回路8に所定の信号や電源電圧を供給する為の入力端子5d、5e、5f、…等も設けられている。共用入力端子5a、5b、5cは内部配線を用いて各垂直駆動回路6、7に接続されている。本実施例では、共用入力端子5a、5b、5cを第一垂直駆動回路6に直接接続する直接内部配線9Rと、第一垂直駆動回路6を介して第二垂直駆動回路7に間接接続する間接内部配線9Sとを用いている。即ち、外部のタイミングジェネレータ（図示せず）等から共用入力端子5a、5b、5cに印加された信号は先ず最初に直接内部配線9Rを介して第一垂直駆動回路6に供給されその動作を制御する。次に、第二垂直駆動回路7に対しては第一垂直駆動回路6を経由した後、間接内部配線9Sを介して信号転送が行なわれる。直接内部配線9Rに比べ間接内部配線9Sは長くなる為高抵抗化が懸念される。しかしながら、通常画面3の下側はデッドスペースになっている事が多い為、例えばアルミニウム又はアルミニウム合金を用いた広幅な配線が可能であり、抵抗値を十分下げる事ができる。従って、垂直駆動回路の様に周波数の低いクロック信号を用いている場合、信号転送の遅延は実質上問題とならず、第一垂直駆動回路6及び第二垂直駆動回路7は十分タイミング的に同期している。

【0016】本発明では、両方の垂直駆動回路6、7に対して共用入力端子5a、5b、5cを割り当てており、図8に示した独立の入力端子を各々の垂直駆動回路に割り当てる構成に比べ以下の利点を有している。先ず、垂直駆動回路に接続する入力端子の個数が減少する為、絶縁基板2に占める入力端子の面積が縮小し、静電気ダメージに対して強くなる。又、入力端子数が少なくなる為、検査工程も短縮可能である。さらに、図5に示した単一の垂直駆動回路を組み込んだ表示用半導体装置に接続されるタイミングジェネレータと同一のタイミングジェネレータを用いて駆動する事が可能である。加えて、共用入力端子を用いているので第一垂直駆動回路6と第二垂直駆動回路7の動作タイミングに相対的な遅延が現われない。以上の説明から理解できる様に、一對の垂直駆動回路構成とする事により従来生じていた問題を伴う事なく、単一の垂直駆動回路構成よりも優れた画

質を実現できる。

【0017】図2は本発明にかかる表示用半導体装置の第二実施例を示す模式的な平面図である。基本的な構成は図1に示した第一実施例と同一であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、分岐内部配線9Tを用いて、共用入力端子5a、5b、5cを両方の垂直駆動回路6、7に分岐接続している事である。この様にすると、第一垂直駆動回路6と第二垂直駆動回路7は共用入力端子5a、5b、5cに対して略平等な条件で接続可能となり、両者の動作タイミングを完全に同期させる事ができる。

【0018】図3は本発明にかかる表示用半導体装置の第三実施例を示す模式的な平面図である。基本的には図2に示した第二実施例と同一であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、分岐内部配線9Tとは別に、両方の垂直駆動回路6、7を相互に補助接続する補助内部配線9Pを設けている事である。この様に画面3の上下に残されたデッドスペースを利用して、一对の垂直駆動回路6、7を2組の内部配線9T、9Pで二重に相互接続する事により一層の低抵抗化を図る事が可能になる。

【0019】最後に、図4は本発明にかかる表示用半導体装置を用いて組み立てられたアクティブマトリクス型液晶表示装置の一例を示す模式的な断面図である。図示する様に、液晶表示装置は駆動基板と対向基板21と両者の間に保持された液晶22を備えたパネル構造を有している。駆動基板は例えば図1に示した表示用半導体装置1を用いている。即ち駆動基板の内表面には一对の垂直駆動回路6、7と、画面を構成する画素アレイ部が集積形成されている。画素アレイ部は行列配置した画素電極PXLと対応するスイッチング用の薄膜トランジスタTrとを含んでいる。一方、対向基板21の内表面には対向電極23が全面的に形成されている。対向基板21と駆動基板はシール材24により互いに貼り合わされている。なお、図示しないが入力端子はシール材24の外側に配置してある。従って、外側の入力端子と内側の駆動回路部とを結線する配線の一部はシール材24を横切る事になる。本発明では入力端子を一部共用化することにより、シール材を横切る配線の本数が削減できる為、パネル組み立て時に発生する液晶洩れやシール切れ等の問題も減少する。

【0020】

【発明の効果】以上説明した様に、本発明によれば、画面の両側に一对の垂直駆動回路を配置し画素の各行を両側から同時に選択駆動している。この際、共用入力端子を両方の垂直駆動回路に対して共通に割り当てるととも

に、共用入力端子を各垂直駆動回路に接続する内部配線を設けている。かかる構成により、単一の垂直駆動回路構成に比べ表示画質を向上する事ができるという効果がある。又、一对の垂直駆動回路に対して互いに独立的に入力端子を設ける構造と比較し、静電気対策上有利である。又、検査工程の短縮化が可能になる。さらに、液晶パネルとして組み立て実装する時に発生する不良を減少できる。加えて、タイミングジェネレータ等周辺回路の設計自由度が増加する。最後に、表示用半導体装置自体レイアウトの設計自由度が増す。

【図面の簡単な説明】

【図1】本発明にかかる表示用半導体装置の第一実施例を示す平面図である。

【図2】本発明にかかる表示用半導体装置の第二実施例を示す模式的な平面図である。

【図3】本発明にかかる表示用半導体装置の第三実施例を示す模式的な平面図である。

【図4】本発明にかかる表示用半導体装置を用いて組み立てられたアクティブマトリクス型液晶表示装置の一例を示す模式的な断面図である。

【図5】従来の表示用半導体装置の一例を示す回路図である。

【図6】図5に示した従来例の動作説明に供するタイミングチャートである。

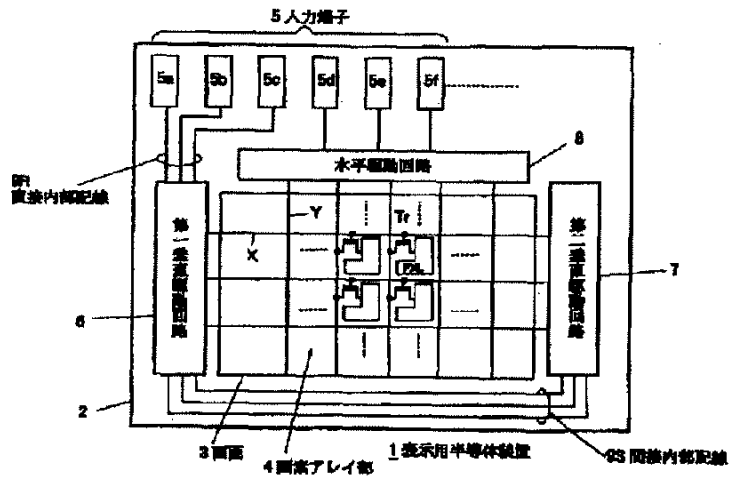
【図7】図5に示した従来例の課題説明に供する模式図である。

【図8】従来の表示用半導体装置の他の例を示す模式的な平面図である。

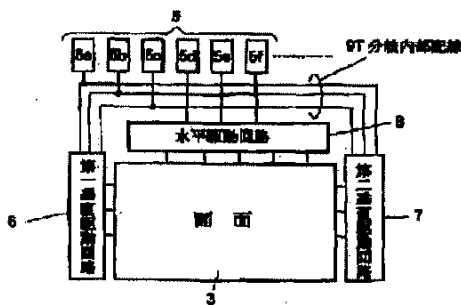
【符号の説明】

- |    |          |
|----|----------|
| 1  | 表示用半導体装置 |
| 2  | 絶縁基板     |
| 3  | 画面       |
| 4  | 画素アレイ部   |
| 5  | 入力端子     |
| 5a | 共用入力端子   |
| 5b | 共用入力端子   |
| 5c | 共用入力端子   |
| 6  | 第一垂直駆動回路 |
| 7  | 第二垂直駆動回路 |
| 8  | 水平駆動回路   |
| 9R | 直接内部配線   |
| 9S | 間接内部配線   |
| 9T | 分岐内部配線   |
| 9P | 補助内部配線   |
| 21 | 対向基板     |
| 22 | 液晶       |

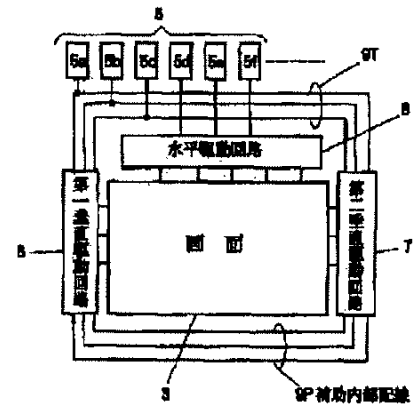
【図1】



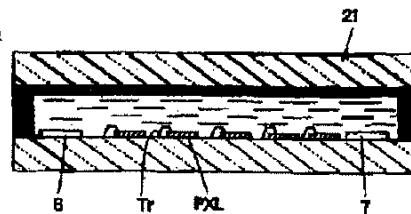
【図2】



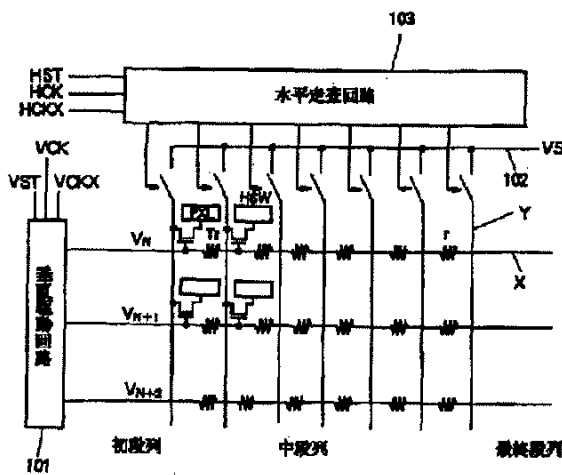
【図3】



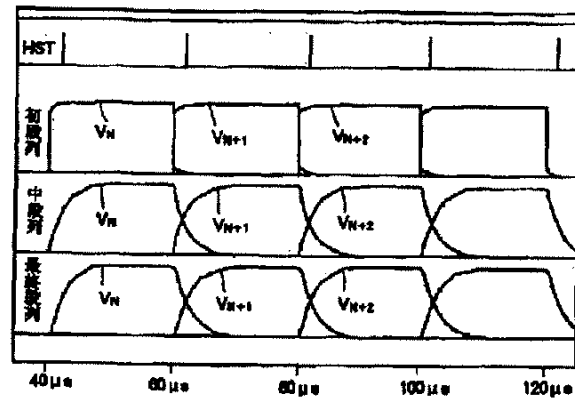
【図4】



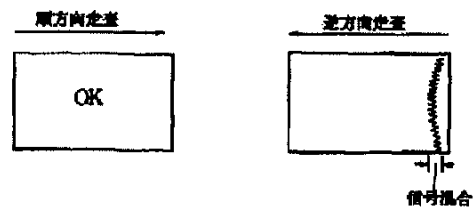
【図6】



【図5】



【図7】





【図8】

